



IFW

Docket No.: 030712-21

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of )  
Yoshihiro SAEKI et al. )  
Serial No. 10/760,359 )  
Filed: 01/21/2004 )  
For: SEMICONDUCTOR DEVICE )

TRANSMITTAL OF PRIORITY DOCUMENT AND CLAIM OF FOREIGN  
FILING DATE PURSUANT TO 35 U.S.C. 119

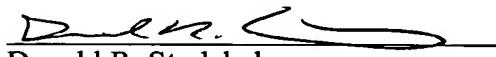
Mail Stop \_\_\_\_\_  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

It is respectfully requested that this application be given the benefit of the foreign filing date under the provisions of 35 U.S.C. 119 of the following, a certified copy of which is submitted herewith:

<u>Application No.</u>	<u>Country</u>	<u>Filed</u>
2003-389483	Japan	November 19, 2003

Respectfully submitted,

  
Donald R. Studebaker  
Reg. No. 32,815

Nixon Peabody LLP  
401 9<sup>th</sup> Street N.W.  
Suite 900  
Washington, D. C. 20004  
(202) 585-8000

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2003年11月19日  
Date of Application:

出願番号      特願2003-389483  
Application Number:

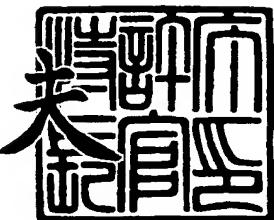
[ST. 10/C] : [JP2003-389483]

出願人      沖電気工業株式会社  
Applicant(s):

2003年12月24日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 OG004837  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 25/065  
H01L 25/07  
**【発明者】**  
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
【氏名】 佐伯 吉浩  
**【発明者】**  
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
【氏名】 平塚 真史  
**【発明者】**  
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
【氏名】 茶畠 大悟  
**【特許出願人】**  
【識別番号】 000000295  
【氏名又は名称】 沖電気工業株式会社  
**【代理人】**  
【識別番号】 100089093  
【弁理士】  
【氏名又は名称】 大西 健治  
**【手数料の表示】**  
【予納台帳番号】 004994  
【納付金額】 21,000円  
**【提出物件の目録】**  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9720320

**【書類名】特許請求の範囲****【請求項 1】**

第1の半導体素子と、

前記第1の半導体素子上に搭載された第2の半導体素子と、

前記第1の半導体素子上に形成され、前記第2の半導体素子を包囲するように前記第1の半導体素子の外周に沿って配置される第1の電極群と、

前記第1の半導体素子上に形成され、前記第1の電極群を包囲するように前記第1の半導体素子の前記外周に沿って配置される第2の電極群と、

前記第2の半導体素子上に形成された第3の電極群と、

前記第1の電極群と前記第3の電極群とを電気的に接続する複数の第1のワイヤと、

前記第2の電極群と電気的に接続される外部接続用端子とを有し、

前記第1の半導体素子は、前記第1の電極群に包囲された第1の回路素子領域と、前記第1の電極群を包囲し、かつ、前記第2の電極群に包囲された第2の回路素子領域とを備えることを特徴とする半導体装置。

**【請求項 2】**

第1の回路素子領域と、前記第1の回路素子領域と外周との間に位置する第2の回路素子領域とを備えた第1の半導体素子と、

前記第1の半導体素子上に形成され、前記第1の回路素子領域と前記第2の回路素子領域との間の領域上に配置された複数の第1の電極と、

前記第1の半導体素子上に形成され、前記第2の回路素子領域と前記外周との間の領域上に配置された複数の第2の電極と、

前記第1の半導体素子の前記第1の回路素子領域上に搭載された第2の半導体素子と、

前記第2の半導体素子上に形成された複数の第3の電極と、

前記第1の電極と前記第3の電極とをそれぞれ電気的に接続する複数の第1のワイヤと、

前記第2の電極と電気的に接続される外部接続用端子とを有することを特徴とする半導体装置。

**【請求項 3】**

前記外部接続用端子は導電性のリードであり、

前記リードは、前記第1の半導体素子の前記外周に沿って、前記第1の半導体素子と所定距離離れた位置に複数配置され、

前記第2の電極群と前記リードとは、複数の第2のワイヤにより、それぞれ電気的に接続されたことを特徴とする請求項1記載の半導体装置。

**【請求項 4】**

前記第2の半導体素子の大きさは、前記第1の半導体素子の大きさよりも小さいことを特徴とする請求項1記載の半導体装置。

**【請求項 5】**

前記第1の半導体素子と前記第2の半導体素子とは樹脂により封止されていることを特徴とする請求項1記載の半導体装置。

**【請求項 6】**

前記外部接続用端子は導電性のリードであり、

前記リードは、前記第1の半導体素子の前記外周に沿って、前記第1の半導体素子と所定距離離れた位置に複数配置され、

前記第2の電極群と前記リードとは、複数の第2のワイヤにより、それぞれ電気的に接続され、

前記第1の半導体素子と前記第2の半導体素子とは樹脂により封止され、

前記第1のワイヤと前記第2のワイヤとは前記樹脂により封止されていることを特徴とする請求項1記載の半導体装置。

**【請求項 7】**

前記第1の半導体素子は支持体上に形成されていることを特徴とする請求項1記載の半

導体装置。

【請求項8】

前記第1の電極群、および、前記第2の電極群は、前記第1の半導体素子の前記外周の各辺に沿って形成されていることを特徴とする請求項1記載の半導体装置。

【請求項9】

前記第3の電極群は、前記第2の半導体素子の外周に沿って形成されていることを特徴とする請求項1記載の半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本願発明は、複数の半導体素子を1つのパッケージに搭載したMCP (Multiple Chip Package) タイプの半導体装置に関するものである。

【背景技術】

【0002】

従来のMCPタイプの半導体装置は、例えば、特許文献1に記載されているように、第1の半導体素子上に第2の半導体素子が搭載されている。第1の半導体素子上には、第1の電極と第2の電極とが形成され、第2の半導体素子上には、第3の電極が形成されている。

第1の電極は、第1の半導体素子の外周に沿って複数設けられ、第2の電極は、第1の半導体素子の外周と第1の電極との間に配置され、かつ、前記第1の半導体素子の外周に沿って複数設けられている。

さらに、第1の電極と第3の電極とはワイヤにより電気的に接続され、第2の電極は外部基板等と電気的に接続されるリードにワイヤにより電気的に接続されている。

さらに、第1の半導体素子と第2の半導体素子とは、樹脂により封止されている。

【特許文献1】特開2001-267488

【発明の開示】

【発明が解決しようとする課題】

【0003】

上述した特許文献1に記載された半導体装置では、第1の半導体素子上に、第1の電極と第3の電極とを電気的に接続するワイヤが位置している為、ワイヤから発生するノイズの影響を、第1の半導体素子に形成された回路素子が受けてしまい、半導体装置の信頼性が低減してしまう可能性があった。

特に、ノイズの影響を大きく受けてしまう可能性のあるワイヤの直下に位置する第1の半導体素子に形成された回路素子に、アナログ回路素子等のノイズの影響を受けやすい回路素子が配置されている場合、このノイズによる影響を、第1の半導体素子の回路素子が大きく受けてしまう可能性があった。

【課題を解決するための手段】

【0004】

本願発明の半導体装置は、第1の半導体素子と、第1の半導体素子上に搭載された第2の半導体素子と、第1の半導体素子上に形成され、第2の半導体素子を包囲するように第1の半導体素子の外周に沿って配置される第1の電極群と、第1の半導体素子上に形成され、第1の電極群を包囲するように第1の半導体素子の外周に沿って配置される第2の電極群と、第2の半導体素子上に形成された第3の電極群と、第1の電極群と第3の電極群とを電気的に接続する複数の第1のワイヤと、第2の電極群と電気的に接続される外部接続用端子とを有し、第1の半導体素子は、第1の電極群に包囲された第1の回路素子領域と、第1の電極群を包囲し、かつ、第2の電極群に包囲された第2の回路素子領域とを備える。

【発明の効果】

【0005】

本願発明の半導体装置では、第1の半導体素子が、第1の電極群を包囲し、かつ、第2の電極群に包囲された第2の回路素子領域を備えている、つまり、第1の電極群と第3の電極群とを電気的に接続するワイヤが直上に位置していない回路素子領域を備えているので、ノイズの影響を受けやすいアナログ回路素子等の回路素子を第2の回路素子領域に配置させて、ワイヤから発生するノイズが第1の半導体素子の回路素子に及ぼす影響を低減させることが可能となる。

これにより、第1の半導体素子と第2の半導体素子とが搭載された半導体装置の信頼性

を大幅に向上させることが可能となる。

**【発明を実施するための最良の形態】**

**【0006】**

以下、本願発明の半導体装置について、図面を用いて詳細に説明する。なお、各図面において、同様な構成要素については同じ符号を用いている。

**【実施例】**

**【0007】**

本願発明の実施例について、図1、および、図2を参照しながら説明する。図1は、本実施例に係る半導体装置の平面図であり、図2は、同半導体装置の断面図である。

図1、および、図2に示すように、本実施例の半導体装置は、第1の半導体素子100と、第1の半導体素子100上に搭載された第2の半導体素子200とを有する。

本実施例では、第1の半導体素子100は、支持体110上に接着剤等により接着されて固定されている。第1の半導体素子100、及び、第2の半導体素子200は、シリコン等を材料とする基板を有し、この基板上に回路素子が形成されている。

第2の半導体素子200は第1の半導体素子100上に搭載されるので、第1の半導体素子100と第2の半導体素子200が搭載された半導体装置を外部基板等に実装する場合、実装面積を大幅に小さくすることが可能となる。

さらに、本実施例では、第2の半導体素子200の大きさは第1の半導体素子100の大きさよりも小さく、第1の半導体素子100の外周103よりも中央側に第2の半導体素子200の外周が位置している。

これにより、第2の半導体素子200の裏面と、第1の半導体素子100の上面とを全面に渡って接着させることができるので、第2の半導体素子200を安定した状態で第1の半導体素子100上に搭載させることができる。

さらに、第1の半導体素子100上には、第2の半導体素子200を包囲するように第1の半導体素子100の外周103に沿って第1の電極群120が配置され、第1の電極群120を包囲するように第1の半導体素子100の外周103に沿って第2の電極群130が配置されている。

**【0008】**

第1の電極群120、および、第2の電極群130は、それぞれ第1の半導体素子100に形成された回路素子と電気的に接続されている。

本実施例では、第1の電極群120、および、第2の電極群130は、それぞれ第1の半導体素子100の外周103の各辺に沿って形成されている。

さらに、第2の半導体素子200上には、第3の電極群210が形成されている。

第3の電極群210は、第2の半導体素子200に形成された回路素子と電気的に接続されている。

本実施例では、第3の電極群210は半導体素子200の外周の各辺に沿って形成されている。

さらに、第1の電極群120と第3の電極群210とは複数の導電性のワイヤ310により電気的に接続されている。

これにより、第1の半導体素子100に形成された回路素子と、第2の半導体素子200に形成された回路素子とが電気的に接続される。

さらに、第2の電極群130は、外部基板等と電気的に接続されている外部接続用端子400と電気的に接続されている。

**【0009】**

本実施例では、外部接続用端子400は導電性のリード400であり、リード400は、第1の半導体素子100の外周103に沿って、第1の半導体素子100と所定距離離れた位置に複数配置され、第2の電極群130と複数の導電性のワイヤ320により電気的に接続されている。

これにより、第1の半導体素子100に形成された回路素子とリード400とを電気的に接続させることができる。

本実施例では、リード400は半導体素子100の外周103を包囲するように設けられている。

さらに、第1の半導体素子100は、第1の電極群120に包囲された第1の回路素子領域101と、第1の電極群120を包囲し、かつ、第2の電極群130に包囲された第2の回路素子領域とを備える。

つまり、第1の半導体素子100は、第1の回路素子領域101と、第1の回路素子領域101と外周103との間に位置する第2の回路素子領域102とを備え、第1の回路素子領域101と第2の回路素子領域102との間に第1の電極群120が位置し、第2の回路素子領域102と外周103との間に第2の電極群130が位置している。

さらに、第1の半導体素子100と第2の半導体素子200とは、樹脂500により封止されている。ここで、樹脂500は、ワイヤ310、ワイヤ320、第1の電極群120、第2の電極群130、第3の電極群210の表面を封止している。

これにより、外部からの衝撃等により、それぞれのワイヤが曲がってしまい隣接する他のワイヤと接触する可能性や、湿気の影響をそれぞれのワイヤや電極が受けてしまう可能性を低減させることが可能となる。

ここで、ワイヤ320と接続される部位において、リード400は樹脂500によって封止され、かつ、リード400の一端は樹脂500から露出する。樹脂500から露出した部位において、リード400は外部基板等と接続される。

#### 【0010】

このように、本実施例の半導体装置では、第1の半導体素子100が、第1の電極群120を包囲し、かつ、第2の電極群130に包囲された第2の回路素子領域を備えている、つまり、第1の電極群120と第3の電極群210とを電気的に接続するワイヤ310が直上に位置していない回路素子領域を備えているので、ノイズの影響を受けやすいアーログ回路素子等の回路素子を第2の回路領域102に配置させて、ワイヤ310から発生するノイズが第1の半導体素子100の回路素子に及ぼす影響を低減させることが可能となる。

これにより、第1の半導体素子100と第2の半導体素子200とが搭載された半導体装置の信頼性を大幅に向上させることが可能となる。

さらに、第1の電極群120と第2の電極群130との間に第2の回路素子領域102を設けたことにより、従来では、第2の電極群よりも中央側に配置されていた回路素子の一部を、本実施例の半導体装置では、第2の回路素子領域102に配置することが可能となる。

これにより、第1の電極群120よりも中央側に配置される回路素子の面積を小さくすることが可能となり、第1の電極群120を第2の半導体素子200に近づけることが可能となる。

すなわち、第1の電極群120と第2の半導体素子200との距離を短くすることが可能となる。

#### 【0011】

これにより、第1の電極群120と第3の電極群310とを電気的に接続するワイヤ310の長さを短くすることが可能となり、樹脂封止の際、樹脂500にワイヤ310が流されて、隣接する他のワイヤ310と接触してしまう可能性を低減させることができため、樹脂封止された半導体装置の信頼性を大幅に向上させることができとなる。

さらに、ワイヤ310の長さを短くすることにより、ワイヤ310の高さを低く抑えることも可能となり、樹脂封止された半導体装置の厚さを薄くすることが可能となる。

特に、第1の半導体素子100に比べて第2の半導体素子200が大幅に小さい場合、従来では、第1の半導体素子と第2の半導体素子とを電気的に接続するワイヤが長くなってしまい、樹脂封止の際、樹脂によりワイヤが流れてしまう可能性が高かった。

本実施例では、このような半導体装置、すなわち、第1の半導体素子100に比べて第2の半導体素子200が大幅に小さい半導体装置であっても、ワイヤ310の長さを短くすることが可能となるため、樹脂封止された半導体装置の信頼性を大幅に向上させること

が可能となる。

【図面の簡単な説明】

【0012】

【図1】本願発明の実施例における半導体装置の平面図である。

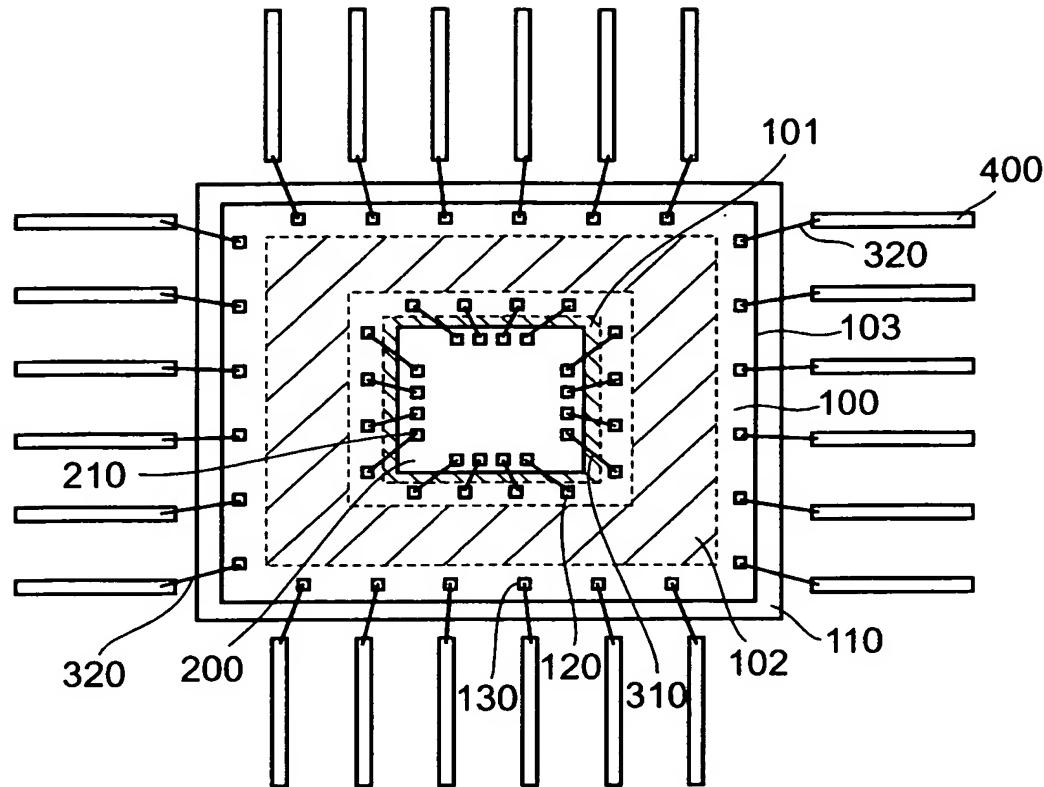
【図2】本願発明の実施例における半導体装置の断面図である。

【符号の説明】

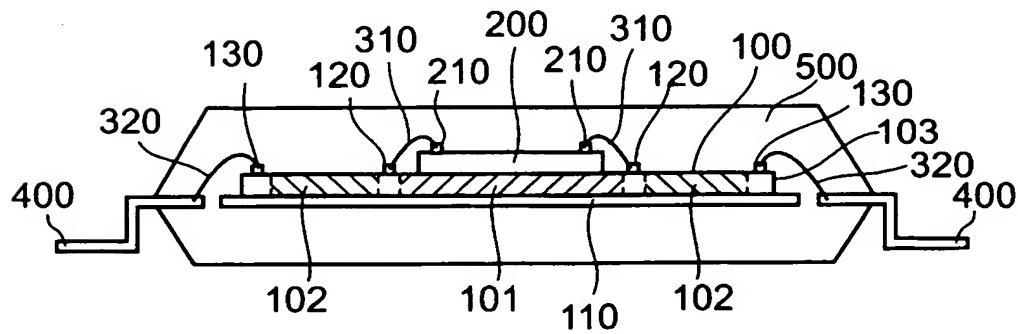
【0013】

100	第1の半導体素子
101	第1の回路領域
102	第2の回路領域
110	支持体
120	第1の電極群
130	第2の電極群
200	第2の半導体素子
210	第3の電極群
310	第1のワイヤ
320	第2のワイヤ
400	外部接続用端子
500	樹脂

【書類名】 図面  
【図 1】



【図 2】



【書類名】要約書

【要約】

【課題】従来の半導体装置では、第1の半導体素子と、第1の半導体素子上に形成される第2の半導体素子とを電気的に接続するワイヤの直下に位置する第1の半導体素子の回路素子領域に、ノイズの影響を受けやすいアナログ回路素子等の回路素子が配置されていた場合、このノイズによる影響を第1の半導体素子に形成された回路素子が大きく受けてしまう可能性があった。

【解決手段】本願発明の半導体装置は、第1の半導体素子上に、第2の半導体素子を包囲するように第1の半導体素子の外周に沿って第1の電極群が配置され、前記第1の電極群を包囲するように第1の半導体素子の外周に沿って第2の電極群が配置され、第1の半導体素子は、第1の電極群に包囲された第1の回路素子領域と、第1の電極群を包囲し、かつ、第2の電極群に包囲された第2の回路素子領域とを備える。

【選択図】 図1

## 認定・付加情報

特許出願の番号	特願2003-389483
受付番号	50301911106
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年11月20日

## &lt;認定情報・付加情報&gt;

【提出日】	平成15年11月19日
-------	-------------

特願2003-389483

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住所 東京都港区虎ノ門1丁目7番12号  
氏名 沖電気工業株式会社